

(19)



(11) Publication number: 05021721 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 03197039

(51) Int'l. Cl.: H01L 27/06

(22) Application date: 11.07.91

(30) Priority:
(43) Date of application publication: 29.01.93
(84) Designated contracting states:

(71) Applicant: NISSAN MOTOR CO LTD
(72) Inventor: MIHARA TERUYOSHI
(74) Representative:

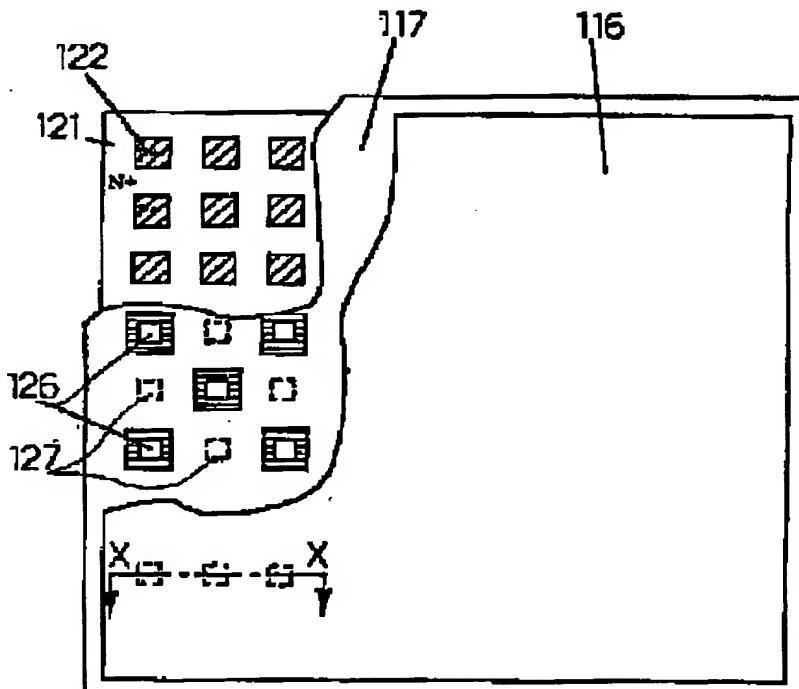
(54) GATE PROTECTION DEVICE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To easily adapt a gate protection device for preventing damage of a semiconductor device due to static electricity to an integrated circuit with a large number of inputs and a power IC without requiring an area.

CONSTITUTION: A gate protecting Zener diode is formed by placing a P+ region 122 divided into numerous cells inside an N+ region 121 formed on an insulator, wherein adjacent cells are connected in a stagger-shape to double-layered wires of a gate pad 116 and a source wire 117. A long peripheral length of PN junction per unit area can be secured, thereby increasing packing density without requiring an area.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-21721

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁶

H 01 L 27/06

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 01 L 27/06

3 1 1 B

審査請求 未請求 請求項の数 4(全 6 頁)

(21)出願番号

特願平3-197039

(22)出願日

平成3年(1991)7月11日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 三原 輝儀

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

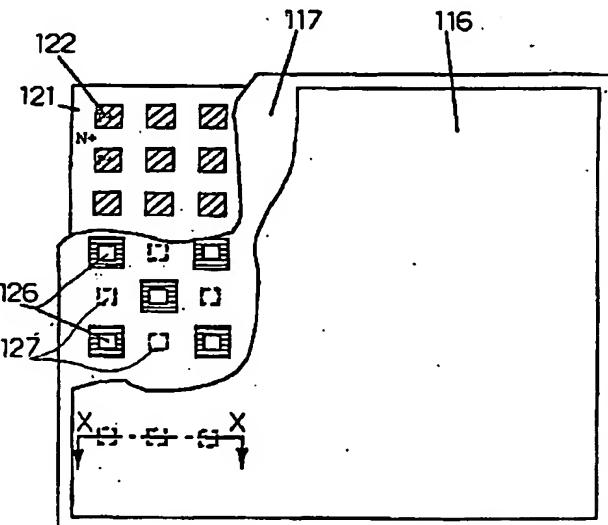
(74)代理人 弁理士 菊谷 公男 (外3名)

(54)【発明の名称】 半導体装置のゲート保護装置

(57)【要約】

【目的】 半導体装置の静電気による破壊を防止するゲート保護装置を面積を要することなく、入力数の多い集積回路やパワーI.C.にも容易に適用できるものとする。

【構成】 ゲート保護用ツエナダイオードを、絶縁層上に形成されたN+領域121の中に多数のセル状に分割したP+領域122を配置して形成し、隣接するセルを互い違いにゲートパッド116とソース配線117の2層配線に接続した。単位面積あたりのP-N接合の周辺長さが大きく取れパッキング密度が増加して面積を要しない。



【特許請求の範囲】

【請求項1】半導体素子が形成されたチップ上で、前記半導体素子のゲート配線系統にツエナダイオードを接続したゲート保護装置であって、前記ツエナダイオードは絶縁物上に形成された第一導電型の半導体薄膜中にセル状に分割した第二導電型の領域群が配置されて形成されていることを特徴とする半導体装置のゲート保護装置。

【請求項2】前記第二導電型の領域群の隣接するセルの一方が第一の配線に接続され、他方が第二の配線に接続されるとともに、該第二の配線は絶縁膜を介して第一の配線の上に設けられて、多層構造に形成されていることを特徴とする請求項1記載の半導体装置のゲート保護装置。

【請求項3】前記第二の配線がボンディングパッドを形成していることを特徴とする請求項2記載の半導体装置のゲート保護装置。

【請求項4】半導体素子が形成され複数のボンディングパッドが設けられたチップ上で、各ボンディングパッドの下に位置して絶縁物上に第一導電型の半導体薄膜が形成され、該薄膜中にセル状に分割した第二導電型の領域群が配置されてツエナダイオードが形成されており、前記各ボンディングパッドの下には絶縁膜を介して配線が設けられ、前記第二導電型の領域群の隣接するセルの一方が対応するボンディングパッドに接続され、他方が前記配線に接続されるとともに、該配線は前記複数のボンディングパッドにわたって互いに接続されていることを特徴とする半導体装置のゲート保護装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は主としてMOS形半導体装置の静電気による破壊を防止するゲート保護装置に関する。

【0002】

【従来の技術】MOS形半導体装置は、そのゲートが通常数10～数100オングストロームの薄いSiO₂膜でできていることから、静電気や過大電圧で破壊しやすい。このためMOS形半導体を形成した同一チップ内に、ゲート保護回路を集積して破壊を防止する試みがなされている。このような従来の保護装置として、縦型MOSFETについて例えば特開58-25264に開示されたものがある。このような縦型MOSFETでは半導体基板がドレインとして使われる所以、パルク中にゲート保護回路を集積することが難しい。

【0003】そのため従来例では図6、図7および図8に示すように、MOSFET1を形成した半導体チップ3の絶縁膜上にポリシリコンでリング状のツエナダイオード5が形成され、MOSFET1のゲートGとソースS間に接続される。リング状ツエナダイオード5は、とくに図6に示されるようにチップ3の周囲に張り巡らされるので、大きなPN接合長になり、ゲートGのSiO₂

2膜の静電気破壊防止に大きな効果を發揮する。

【0004】この他、図9に示されるように、ゲートG用パッド6の周囲にポリシリコンのリング状ツエナダイオード5を設けたものもある。

【0005】一方、集積回路やパワーICでは、図10に示すような保護抵抗7A(7B)とダイオード8A(8B)を組み合わせた保護装置がMOSFET1A(1B)のゲートに接続されている。保護抵抗7A(7B)としてはポリシリコンを用いるほか図11に示すような拡散抵抗も使われる。

【0006】

【発明が解決しようとする課題】しかしながらポリシリコンでリング状ツエナダイオードを形成するものは、ポリシリコンツエナダイオードのPN接合長さを大きく確保しないと効果が薄いため、相当の面積を要するという欠点がある。そのため入力数の多い集積回路やパワーICには不向きであった。

【0007】また拡散抵抗を使ったものは、通常の動作時の過大電圧を保護抵抗7A(7B)やダイオード8A(8B)を通して電源またはグランドへバイパスさせるため、順バイアスされたこれらのダイオード8A(8B)から少数キャリアが半導体基板10中に注入され、ラッチアップや誤動作を引き起こすという問題があった。またチップの搬送時やプリント基板への組み付け作業の際に静電気で壊れ易かった。

【0008】すなわちより具体的に説明すると、図10に示すように人や組み立て・搬送機械など外部の帶電物Cが集積回路やパワーICに接触すると、最初に触れた2本のリードフレームを通って、静電気がパッド6Aから保護抵抗7A、電源VDDを経由して保護抵抗7Bからパッド6Bへと流れ、抵抗7B部に生成する拡散ダイオードにはその際逆方向電圧がかかるため拡散ダイオードが破壊され易い。また該拡散ダイオードが高抵抗の半導体基板10に形成されるため、半導体基板10のシリーズ抵抗の影響で電圧クランプ効果が薄れ、内部のMOSFET1A、1Bを適切に保護できないという問題があった。

【0009】なお、絶縁膜上に形成したポリシリコン抵抗を使うものは、寄生効果による誤動作防止には効果的であるが、保護回路の内部インピーダンスがあるためパッドから内部配線への放電破壊が起こりやすいという欠点がある。これを避けるには配線間隔を充分に離さねばならず、チップ面積がやはり増加してしまうという問題がある。

【0010】したがってこの発明は、上記のような従来の問題点に着目して、大面積を要することなく、入力数の多い集積回路やパワーICにも容易に適用でき、しかも静電気破壊に強い保護装置を提供すること目的とする。

【0011】

【課題を解決するための手段】本発明は半導体素子が形成されたチップ上で、前記半導体素子のゲート配線系統にツエナダイオードを接続したゲート保護装置であつて、前記ツエナダイオードは絶縁物上に形成された第一導電型の半導体薄膜中にセル状に分割した第二導電型の領域群が配置されて形成された半導体装置のゲート保護装置とした。

【0012】

【作用】これによりツエナダイオードにおけるPN接合のパッキング密度を増加することができ、面積を要することなく、静電気による破壊や誤動作の防止ができる。

【0013】

【実施例】図1は本発明をパワーMOSに適用した実施例を示す。このパワーMOSはラテラルDMOSFET(以後LDMOSと呼ぶ)構造になっており、出力用素子としてチップの表面からソースSおよびドレインDの配線を取り出すようにしている。

【0014】すなわちN型半導体基板101上、あるいはアイソレーションされたN型領域、にP型チャネル領域105、N型のソース領域107、ゲート106およびドレイン拡散層109を設けてLDMOS100が形成されている。ソース配線117とドレイン配線119は、それ自体で形成するかあるいは別途設けられるボンディングパッド(以下、パッドという)を介して、すべて表面から取り出され、2層配線をもつ多層構造となっている。

【0015】ゲート保護用のポリシリコンツエナダイオード120はゲートパッド116の下に形成されており、絶縁膜102、103、104によって、他の配線や半導体基板101から電気的に分離されている。なお、110はガードリングである。

【0016】ゲートパッド116の部分を図2および図3により説明すると、第一導電形としてのN⁺領域121の中に多数のセル状の第二導電形P⁺領域122がパッキング密度を大きくして規則的に配置されて平面ポリシリコンツエナダイオードが形成されている。

【0017】ここではPNP型の双方向のツエナダイオードとして用いる場合の配線が形成される。すなわち、アルミのソース配線117とゲートパッド116へは、セル状P⁺型領域122に互い違いにコンタクトするようにソース117と接続する第1コンタクト窓127、ゲートパッド116と接続する第2コンタクト窓126が設けられている。

【0018】ここに形成されるポリシリコンツエナダイオード120の特性自体は従来のものと同様にして決定されるから、P⁺、N⁺領域の各不純物濃度については必要とするツエナ電圧に応じて選定される。これらについては前述の従来例も参考にすることができる。

【0019】上記の実施例ではP⁺型領域122のセル形状を四角形としたがこれに限定されず、6角形ハニカ

ム形なども採用することができる。さらに実施例ではポリシリコンを用いたものを示したが、PN接合を形成できる半導体薄膜であれば、他の材料によってもこの発明を適用することができる。

【0020】以上の構成により、ゲート106のラインに入った静電気や過大電圧は前記双方向のポリシリコンツエナダイオード120で所定の低電圧になるようにクランプされ、LDMOS100のゲートを形成するSiO₂膜108は電圧破壊から保護される。

【0021】この際双方向のツエナダイオード120を多数のセルに分割しているので、単位面積あたりのPN接合の周辺長さをきわめて大きく確保することができる。例えばP⁺型領域122のセルサイズを7μm角、P⁺型領域122間の間隔を3μmとすると、1mm²あたりのPN接合周辺長さはW=280mmとなる。同サイズの従来例では118mm程度であるから2倍以上の周辺長さが確保されることがわかる。

【0022】さらにこの周辺長さの増大と2層配線構造による電極引き出しによって、シリーズ抵抗も小さくなるのでクランピング効果が向上して、LDMOS100のゲート106のSiO₂膜108にかかる電圧をさらに低下させることができる。

【0023】このように、従来例に比較して大きな静電気耐量が得られるとともに、保護装置がボンディングパッド下の全面にわたって形成することができるので、チップ面積を小さくすることができるという優れた効果がある。

【0024】図4は、上記した保護装置をパワーICや集積回路の入力部に適用した例を示す。内部回路134の各入力ゲートパッド136毎に双方向のポリシリコンツエナダイオード130が設けられ、これらのダイオード130は共通配線138に接続されている。この双方向のポリシリコンツエナダイオード130は、内部回路134のゲート耐圧よりも充分に低く、かつ動作時電源電圧よりもやや大きいツエナ電圧をもたせて、それぞれが前述した構造で形成されている。そして共通配線138はグランドパッド139に接続されている。140は出力パッドである。

【0025】この構成によれば何れかのゲートパッド136間に静電気が入っても、図5に等価回路を示すように大部分の静電気は双方向のツエナダイオード130と共通配線138を通じて流れただけで、内部回路134への放電が避けられるため保護効果が高い。また通常動作時の過大電圧に対しても確実に低電圧にクランプするとともに、半導体基板へ電流を流すことないので誤動作の恐れがない。

【0026】そして前述のようにパッド下に形成した構造であるから、適用にあたって追加的な面積を必要としない利点を保有する。

【0027】

【発明の効果】以上のようにこの発明によれば、半導体膜中にツエナダイオードをセル分割して形成したので、P N接合のパッキング密度を増加し面積を要することなく、静電気による破壊や誤動作の防止が達成されるゲート保護装置が得られる効果がある。

【0028】さらには入力ライン毎にパッドの下に上記ツエナダイオードを形成するとともに、互いに配線を接続したので内部回路への静電気放電に対する保護効果が高い。またこの際共通配線を利用できることととともに、上記のように面積を要しないことから入力数の多い集積回路やパワーI Cに容易に適用することができる。

【0029】なお本発明は従来の各種入力保護装置の適用を制限するものではなく、内部回路にそれら保護装置を組み合わせることでより一層の効果が発揮される。

【図面の簡単な説明】

【図1】本発明の実施例を示す断面図である。

【図2】入力パッド部に適用した実施例を示す一部破断平面図である。

【図3】図2のX-X断面図である。

【図4】集積回路に適用した実施例を示す図である。

【図5】図4の等価回路を示す図である。

【図6】従来のゲート保護回路を示す図である。

【図7】従来例を示すチップ平面図である。

【図8】図7のY部拡大図である。

【図9】他の従来例を示すチップ平面図である。

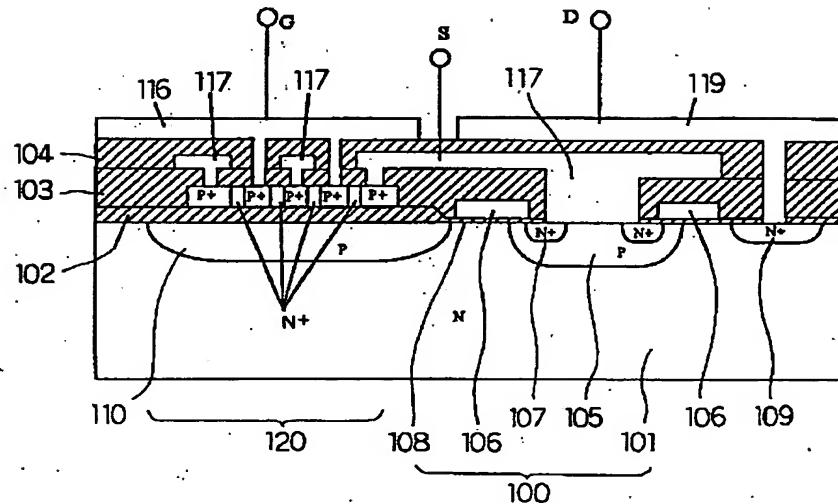
【図10】ゲート保護回路の他の従来例を示す図である。

【図11】他の従来例を示す断面図である。

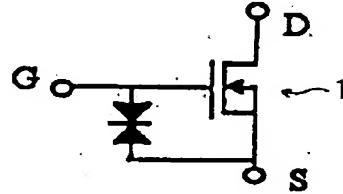
【符号の説明】

100	ラテラルDMOSFET
101	N型半導体基板
102、103、104	絶縁膜
105	チャンネル領域
106	ゲート
107	ソース領域
108	ゲート絶縁膜
109	ドレイン拡散層
116	ゲートパッド
117	ソース配線
119	ドレイン配線
120	ポリシリコンツエナダイオード
121	N領域
122	セル状P+領域
126	第2コンタクト
127	第1コンタクト

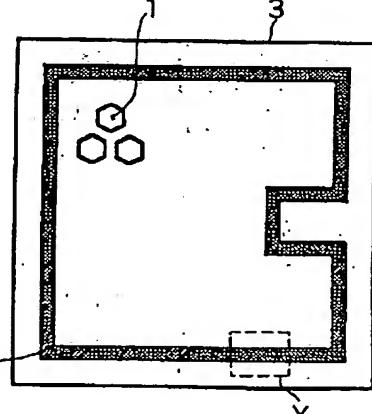
【図1】



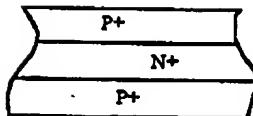
【図6】



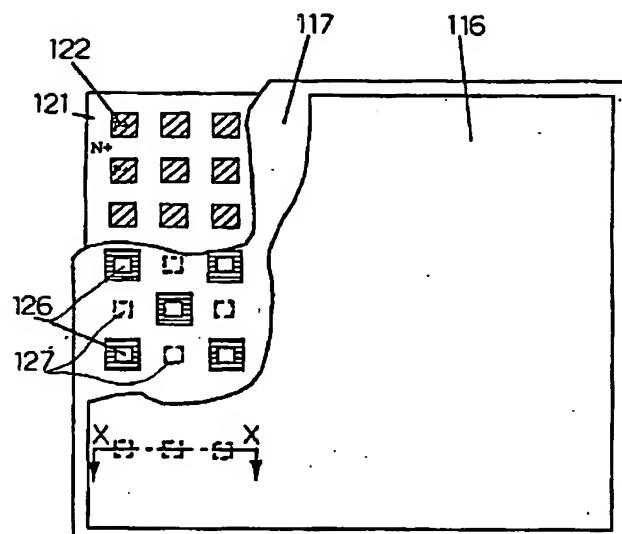
【図7】



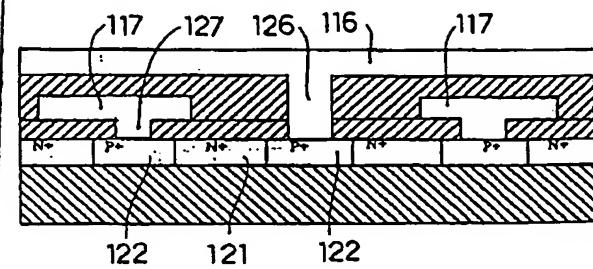
【図8】



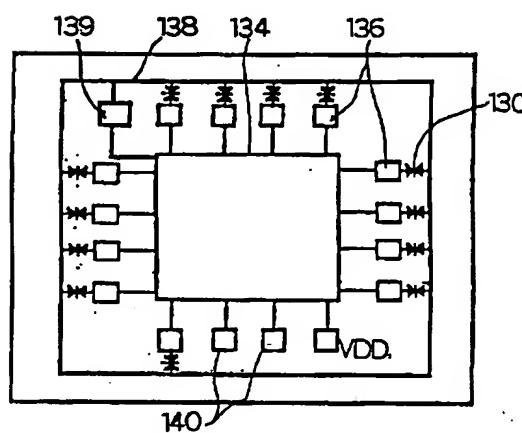
【図2】



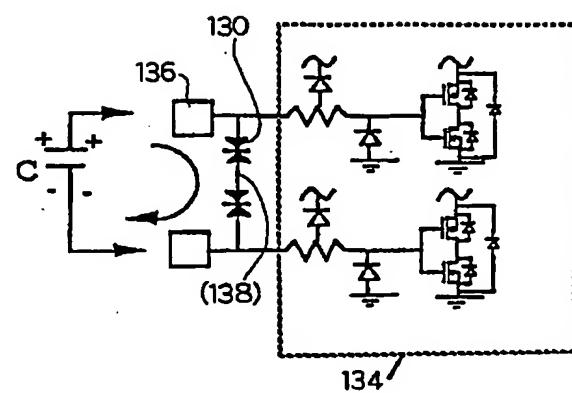
【図3】



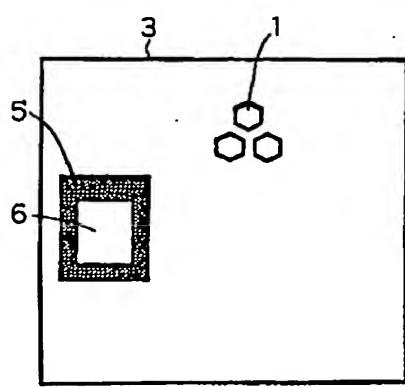
【図4】



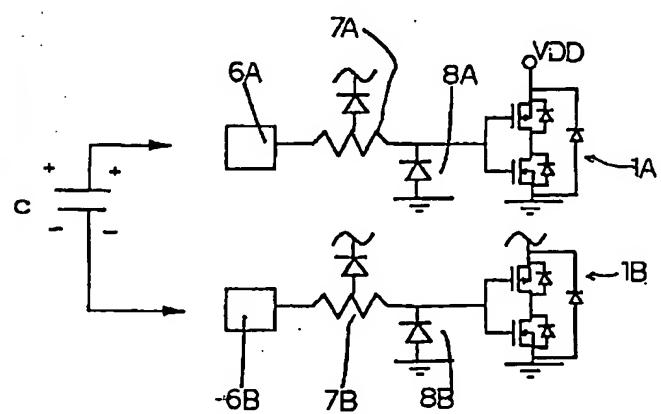
【図5】



【図9】



【図10】



【図11】

